

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-022331

(43)Date of publication of application : 01.03.1978

(51)Int.Cl. G11C 8/00
G06F 3/00
G06F 9/00
G06F 13/00
G11C 9/06

(21)Application number : 51-096145 (71)Applicant : FUJITSU LTD

(22)Date of filing : 13.08.1976 (72)Inventor : SUGAYA SEIICHI
WATANABE KINSOKU
MIYAJIMA SHIGERU

(54) DYNAMIC ADDRESS CONVERSION SYSTEM

(57)Abstract:

PURPOSE: To facilitate address conversion of a channel in the page address system by using a single address conversion mechanism.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

①日本国特許庁
公開特許公報

②特許出願公開
昭53-22331

③Int. Cl.²
G 11 C 8/00
G 06 F 3/00
G 06 F 9/00
G 06 F 13/00
G 11 C 9/06

識別記号

②日本分類
97(7) C 0
97(7) C 02
97(7) F 11
97(7) D 0

序内登録番号

③公開 昭和53年(1978)3月1日
発明の数 1
審査請求 未請求

(全 3 頁)

④ダイナミックアドレス変換方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑤特許出願 昭51-96145

⑥発明者 宮島茂

⑦出願日 昭51(1976)8月13日

川崎市中原区上小田中1015番地

⑧発明者 曾谷誠一

富士通株式会社内

川崎市中原区上小田中1015番地

⑨出願人 富士通株式会社

富士通株式会社内

川崎市中原区上小田中1015番地

同

渡辺欽則

⑩代理人 弁理士 青木朗

外3名

明細書

1. 発明の名称

ダイナミックアドレス変換方式

2. 特許請求の範囲

(1) チャネル制御装置を介して複数のチャネル装置が主記憶装置に接続され、指定された論理アドレスに従ってデータが上記主記憶装置とチャネル装置との間で転送されるごときシステムにおいて、上記チャネル制御装置が各チャネル装置に共用される單一のアドレス変換機構を有し、該アドレス変換機構により指定された論理アドレスを実際のハードウェアのアドレスに変換しながらデータの転送を行なうことを特徴とするダイナミックアドレス変換方式。

(2) 特許請求の範囲(1)の発明において、上記アドレス変換機構が実際のハードウェアのアドレスを指定するレジスタを2個有し、これらのレジスタを交互に動作させることによりデータ転送と次のアドレス変換を同時に行なうことを特徴とするダイナミックアドレス変換方式。

3. 発明の詳細な説明

本発明は一般にアドレス変換方式に関し、特に情報処理システムにおけるチャネル装置でのアドレス変換方式に関するものである。

最近の情報処理システムにおいて用いられる方式のひとつページアドレス方式がある。これは主記憶および補助記憶を一定の大きさのページと呼ばれるブロック(通常1K~2Kバイト)に分割し、ページ単位で情報を転送するもので、この方式によるとユーザーは実際の主記憶の大きさにかかわりなく大きさを仮想の主記憶があるかのごとくプログラムを書くことが出来る。ページアドレス方式でのブロックのアドレス指定はページ番号と、そのページ内のアドレスとによって行われるので、これらの論理アドレスを実際のハードウェアのアドレス(実アドレス)に変換しなければならない。この変換は、中央処理装置が使用するブロックの基命令に従って、ハードウェアにより自動的に行なわれていたが、主記憶装置と補助記憶装置(又は入出力装置)との間でのページ

の転送の場合はソフトウェアにより行われていたので、ソフトウェアが複雑化し、かつ情報処理システム全体としての処理能力が低下するという問題があつた。又この変換をハードウェアにより行う方式も提案されているが、荷物の搬送では多数の変換テーブルが使用されるので、装置が複雑化し、かつ変換に時間がかかるという欠点がある。

迄って本発明は上記問題点を改善するもので、その目的は補助記憶装置及び入出力装置との転送に關して、中央処理装置と同様に論理アドレス及び実アドレスを扱うことで新しいアドレス変換方式を提供することにある。

この目的を達成するための本発明のひとつの特徴はチャネル制御装置を介して複数のチャネル装置が主記憶装置に接続され、指定された論理アドレスに従ってセグメントを単位とするデータが上記主記憶装置とチャネル装置との間で転送されるときシステムにおいて、上記チャネル制御装置が各チャネル装置に共用される唯一のアドレス変換機構を有し、該アドレス変換機構により指定さ

れた論理アドレスを実際のハードウェアのアドレスに変換しながらデータの転送を行うときアドレス変換方式にある。

本発明の別の特徴は、上記アドレス変換機構が実際のハードウェアアドレスを指定するレジスタを2個有し、これらのレジスタを交互に動作させることによりデータ転送と次のアドレス変換を同時にを行うときアドレス変換方式にある。以下図面により実施例を説明する。

第1図は本発明が適用される情報処理システムの構成例で、中央処理装置(CPU)には主記憶装置(M8)とチャネル制御装置(CHC)が接続され、さらには複数のチャネル装置(CH)がインターフェース(IF)、チャネル制御装置(CHC)を介して主記憶装置(M8)に接続される。チャネル装置(CH)には補助記憶装置(AS)又は入出力装置が接続される。ページの転送は主記憶装置(M8)と補助記憶装置(AS)又は入出力装置の間で行なわれるのであるが、本発明の特徴であるアドレス変換は、チャネル制御装置(CHC)を

を中心に行われるので、以下の説明ではこの部分を特に詳しく説明する。

第2図はチャネル制御装置(CHC)の主要部のブロックダイヤグラムを示す。コマンドのアドレス変換のためIC、補助コマンドアドレスレジスタ(LCAB)及び実コマンドアドレスレジスタ(BCAB)がもうけられ、データのアドレス変換のために論理データアドレスレジスタ(LDAB)及び2種の実データアドレスレジスタ(BDAB1)及びRDAB2)がもうけられ、さらにアドレス変換のパラメータを供給する為のSTWレジスタがもうけられる。これらのレジスタはチャネル毎にもうけられるが、アドレス変換機能そのものは全チャネルに共通である。上記各レジスタのうちSTWレジスタ以外の各レジスタは当該レジスタの内容を+1する機能(INC)又は-1する機能(DEC)をもつ。又これらのレジスタは、ページインデックス(P)とバイトインデックス(B)をもち、前者は変換テーブルを参照する際のインデックスをあらわし、後者はページ内のアドレス

をあらわす。

チャネルが論理アドレス、実アドレスのいずれを扱うかは専別のチャネルコマンドにより設定されるものとし、前者を論理セード、後者を実セードと呼ぶ。

論理セードに設定されたチャネルは、それ以後のコマンドアドレス及びデータアドレスを論理アドレスとして扱う。論理セードに設定するためのチャネルコマンドが出すことと、このコマンドからSTWレジスタはアドレス変換に必要なパラメータをうけとる。このコマンドは、又、次にとり出すコマンドの論理アドレスが与えられるので、これを論理コマンドアドレスレジスタ(LCAB)に設定した後、アドレス変換を行い、結果を実コマンドアドレスレジスタ(BCAB)に設定する。ここでアドレス変換がひどく行なわれる。

アドレス変換の為の変換テーブル(T)はソフトウェアによって作成され、主記憶装置(M8)に記憶される(第2図では説明の便宜上変換テーブル(T)を図示するが、実際にはテーブルは主記

値が複数に格納される）。STWレジスタはこの変換テーブルの先頭アドレスを提供する。アドレス変換機構は、STWレジスタの内容と論理コマンドアドレスレジスタのページインデックスとを複数して（例えば加算）格られるアドレスに従って変換テーブルの内容を読みとり、この結果と論理コマンドアドレスレジスタのバイトインデックスとを合成して実アドレスを作成し、結果を実コマンドアドレスレジスタ（RCAR）に設定する。

次にチャネルは、この実コマンドアドレスを用いて、主記憶装置（MS）よりコマンドをとり出し、このコマンドから格られる論理データアドレスを論理データアドレスレジスタ（LDAR）に設定し、この内容が上記のコマンドアドレスの構合と同様にしてアドレス変換されて、その結果が実データアドレスレジスタ（RDAR(1) 又は RDAR(2)）に設定される。この時論理データアドレスレジスタ（LDAR）の内容は次のページの論理アドレスに更新される。ここでチャネルはコマンドの実行に入り、実データアドレスレジスタ

特開昭63-22331(6)
(RDAR(1)又は RDAR(2))のアドレス指定に従ってデータの転送が行われる。

実データアドレスレジスタが2個用意される理由は次のとおりである。

コマンドの実行開始直後でページの境界に達した場合は、次のページのアドレス変換が終了するまで次のページの転送をすることが出来ないので、転送速度の速い複数記憶の場合にはオーバーランを防ぐ危険がある。これを防止するためには、本発明では転送の開始前に2ページ分の実アドレスを用意し、これらをRDAR(1)及びRDAR(2)に設定する。チャネルは最初はRDAR(1)を使用してデータ転送を行い、ページの境界に達すると、RDAR(2)によりデータ転送を継続する。RDAR(2)によるデータ転送も、そのコマンドでの転送がそのページで終了しない限り、少なくとも1ページ分は続くので、この転送中にさらに次のページのアドレス変換を行って結果はRDAR(1)に設定される。このようにページの境界に達する毎にRDAR(1)とRDAR(2)を切替えるながら交互に使用することにより、データの転送が中絶せずに行われる。

以上詳しく説明したとく、本発明によれば、单一のアドレス変換機構を使用して、ページアドレス方式におけるチャネルのアドレス変換を簡便に行うことができる。

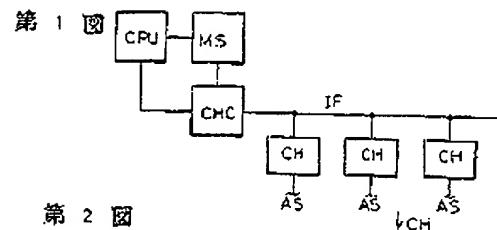
なお、アドレス変換基位はページ・アドレス単位で限らず、数つかのページのまとまつたいわゆるセグメント・アドレス単位で行なってもよいことはいうまでもない。

4. 図面の概要を説き

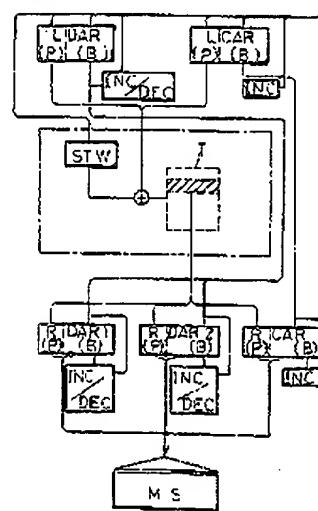
第1図は本発明の適用されるシステム構成例、第2図は本発明によるとチャネル制御装置の主要部のブロックダイヤグラムをしめす。

（符号の説明）

CPU. 中央処理装置 MS. 主記憶装置
CMC. チャネル制御装置 CH. チャネル装置
LCAR. 論理コマンドアドレスレジスタ
LDAR. 論理データアドレスレジスタ
RCAR. 実コマンドアドレスレジスタ
RDAR. 実データアドレスレジスタ
STW. STWレジスタ



第2図



THIS PAGE BLANK (USPTO)